



**WO 02/09182 A1**

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

---

(57) Abrégé : L'invention concerne un procédé de blindage et découplage répartis pour un dispositif électronique à composants intégrés à interconnexion en trois dimensions, un tel dispositif et un procédé d'obtention. Le dispositif comporte, associé à chaque composant actif (2), au moins un plan condensateur formé d'une feuille mince (10) en matériau diélectrique métallisé (11, 12) sur ses deux faces planes. Les composants et les plans condensateurs sont empilés et assemblés en alternance pour former un bloc (1') dont les faces latérales (21 à 24) portent des conducteurs (13, 14) assurant l'interconnexion 3D. Les métallisations (11, 12) sont délimitées pour n'affleurer les bords du bloc que par des pattes (110, 120). Une des métallisations (11) reliée à la masse sert de blindage. L'invention s'applique notamment à la réalisation de blocs mémoires très compacts.

WO 02/09182

PCT/FR01/02362

1

## PROCEDE DE BLINDAGE ET/OU DE DECOUPLAGE REPARTIS POUR UN DISPOSITIF ELECTRONIQUE A INTERCONNECTION EN TROIS DIMENSIONS

5

La présente invention se rapporte à un procédé de blindage et/ou de découpage répartis pour un dispositif électronique à composants 10 électroniques intégrés empilés et assemblés pour constituer un bloc à interconnexion en trois dimensions. Elle se rapporte également au dispositif ainsi obtenu et à un procédé d'obtention collective de ces dispositifs.

La réalisation des systèmes électroniques actuels, tant civils que militaires, doit tenir compte d'exigences de plus en plus grandes de 15 compacité, du fait du nombre de plus en plus élevé de circuits mis en œuvre.

On a déjà proposé, pour tenir compte de ces exigences, de réaliser des empilements de puces de circuits intégrés nues ou de boîtiers 20 encapsulant des puces, l'interconnexion s'effectuant en trois dimensions en utilisant les faces de l'empilement comme surfaces d'interconnexion pour réaliser les connexions entre broches de sortie nécessaires.

L'évolution des puces de circuits intégrés comme des boîtiers les 25 encapsulant tend à les rendre de plus en plus minces. On se dirige vers des réalisations tendant certainement vers quelques micromètres à quelques dizaines de micromètres d'épaisseur. Lorsqu'on veut empiler de tels circuits, leur proximité conduit à des interférences de plus en plus gênantes. D'autre 30 part, la recherche de fréquences de fonctionnement de plus en plus élevées implique un découplage toujours plus performant des alimentations en tension des divers circuits. Habituellement, on prévoit un condensateur de découplage disposé le plus près possible des circuits, par exemple directement sur l'empilement de circuits, ou sous cet empilement ou à côté, le plus près possible. En effet, pour des commutations extrêmement rapides, 35 il ne suffit pas de disposer d'une énergie stockée suffisante, donc d'une valeur de capacité suffisante ; il faut encore acheminer cette énergie très vite vers les circuits commutés et le problème qui devient majeur est celui de l'inductance présentée par les connexions du condensateur vers les circuits.

WO 02/09182

PCT/FR01/02382

2

Plus les connexions sont courtes, plus l'inductance est faible et plus on pourra utiliser des fréquences élevées.

Un premier but de l'invention est de réaliser de manière simple et peu coûteuse un blindage réparti entre les composants pour remédier au 5 problème des interférences entre eux et avec l'extérieur.

Un autre but de la présente invention est de résoudre ces deux problèmes d'interférence et de découplage de manière combinée.

10 Un objet de l'invention est un procédé de blindage et/ou de découplage répartis éliminant les inconvénients ci-dessus grâce à l'interposition de feuilles minces métallisées entre les divers circuits formant l'empilement trois dimensions.

15 Selon l'invention, il est donc prévu un procédé de blindage et/ou de découplage répartis pour un dispositif électronique à composants électroniques intégrés dans lequel lesdits composants comportant à leur périphérie des plots de connexion sont empilés et assemblés pour constituer un bloc à interconnexion en trois dimensions, caractérisé en ce que ledit procédé consiste à intercaler entre chaque composant et le composant adjacent au moins un plan séparateur constitué d'une feuille mince en 20 matériau diélectrique dont au moins une face porte une métallisation, ladite métallisation étant reliée à la masse, pour assurer le blindage du ou des composants adjacents.

25 De préférence, chaque face des plans séparateurs est métallisée pour constituer des plans condensateurs, lesdites métallisations d'un plan étant respectivement reliées à la masse et à la tension d'alimentation d'au moins un des composants adjacents.

30 Grâce à ce procédé, les métallisations reliées à la masse servent de blindage parfait entre chaque composant et l'interposition d'un ou plusieurs plans condensateurs auprès de chaque composant permet un découplage très amélioré du fait que la longueur des connexions entre condensateur et composant associé est réduite au minimum.

35 Selon un autre aspect de l'invention, il est également prévu un dispositif électronique à composants électroniques intégrés à blindage et/ou découplage répartis, dans lequel lesdits composants comportant à leur périphérie des plots de connexion sont empilés et assemblés pour constituer un bloc à interconnexion en trois dimensions, caractérisé en ce que ledit

WO 02/09182

PCT/FR01/02382

3

dispositif comprend un empilage alterné de composants électroniques intégrés et de plans séparateurs pour former ledit bloc, chaque plan comportant une feuille mince en matériau diélectrique métallisée sur au moins une de ses deux faces et l'empilage comprenant au moins un plan 5 séparateur entre deux composants consécutifs, et en ce que les faces latérales du bloc comportent des conducteurs disposés sur au moins une des faces pour relier les métallisations des plans séparateurs et les plots de connexion correspondants des composants.

De préférence, chaque plan est métallisé sur ses deux faces pour 10 constituer un plan condensateur.

Enfin, l'obtention de tels dispositifs peut être d'autant plus économique qu'ils pourront être réalisés collectivement.

Ainsi, selon encore un autre aspect de l'invention, il est prévu un procédé d'obtention collective de dispositifs électroniques tels que définis ci-dessus, caractérisé en ce que ledit procédé consiste à :

- réaliser lesdits composants côte à côte selon un motif géométrique régulier dans des plans actifs ;
- réaliser sur des feuilles minces de matériau diélectrique lesdites métallisations selon le même motif géométrique ;
- 20 - empiler et assembler lesdits plans actifs avec lesdites feuilles métallisées de manière alternée, au moins une feuille étant interposée entre chaque plan actif, de sorte que les composants et les métallisations se correspondent pour définir des lignes de sciage délimitant lesdits blocs individuels ;
- percer des trous perpendiculaires auxdits plans et feuilles dans l'assemblage obtenu, le long des lignes de sciage et à l'aplomb desdites pattes et desdits plots de connexion ;
- métalliser lesdits trous ; et
- scier l'assemblage le long des lignes de sciage pour obtenir 30 lesdits blocs dans lesquels les interconnexions en trois dimensions sont constituées par les demi-trous métallisés.

L'invention sera mieux comprise et d'autres caractéristiques et avantages apparaîtront à l'aide de la description ci-après et des dessins joints où :

WO 02/09182

PCT/FR01/02382

4

- la figure 1 est un schéma partiel d'un dispositif connu à interconnexion en trois dimensions ;
- la figure 2 est une vue en éclaté partielle d'un dispositif selon l'invention ;
- 5 - la figure 3 est un schéma d'un plan condensateur selon une variante de l'invention ;
- la figure 4 est une vue partielle illustrant un procédé d'obtention collective selon l'invention ; et
- 10 - la figure 5 montre partiellement un dispositif obtenu selon le procédé illustré par la figure 4.

Sur la figure 1 est représenté partiellement un dispositif électronique à interconnexion en trois dimensions connu constitué par un bloc 1 formé de puces semi-conductrices 2, empilées verticalement par l'intermédiaire de couches isolantes et adhésives 3. Un tel dispositif est décrit dans le brevet français FR 2 645 681. Au-dessus et au-dessous, sont prévues des couches de fermeture 41 et 42 en matériau isolant qui assurent notamment la protection et la rigidification, si nécessaire, du bloc 1. Le bloc 1 comporte, sur une de ses faces externes, par exemple dans une ouverture 43 de la face de dessus de la couche de fermeture 41, un condensateur de découplage 6. Celui-ci est relié par un conducteur 61 à un plot de connexion 52 du dispositif. A ce plot 52 aboutit un conducteur d'interconnexion 50, disposé sur une face latérale du bloc 1 et interconnectant des plots de connexion 20 des puces 2.

25 Comme on l'a déjà mentionné, la longueur des connexions du condensateur 6 avec les puces 2 peut être assez grande, en particulier pour les puces 2 inférieures dans le bloc, ce qui constitue un inconvénient sérieux pour fonctionner à des vitesses élevées. Par ailleurs, plus les puces 2 et les couches 3 sont minces, pour gagner en encombrement et aussi en vitesse, plus les interférences entre puces vont être importantes et gênantes.

30 L'invention est partie de la constatation que, technologiquement, on sait réaliser en série des condensateurs multicouches à partir de film diélectrique très mince, par exemple 1 à 2  $\mu\text{m}$  d'épaisseur, métallisé sur les deux faces et enroulé pour former des centaines de couches dans lesquelles on découpe ensuite par sciage les condensateurs.

WO 02/09182

PCT/FR01/02382

5

Selon l'invention, on prévoit donc d'intercaler entre chaque puce ou composant électronique, nu ou encapsulé dans un boîtier, au moins un plan séparateur formé d'une feuille mince en matériau diélectrique dont au moins une face porte une métallisation, l'une des métallisations étant reliée à la masse, ce qui assure le blindage des composants adjacents ; si les deux faces sont métallisées, l'autre est reliée à la tension d'alimentation d'au moins un des composants adjacents pour réaliser un condensateur de découplage.

Par « composant électronique », on entend toute puce ou circuit intégré, nu ou encapsulé, quelle que soit sa complexité. A titre d'exemple cela peut être un plan mémoire sur un substrat actif quelconque, silicium ou autre.

La figure 2 illustre partiellement, en éclaté, la constitution d'un dispositif selon l'invention comme défini ci-dessus. Du bloc 1' constituant ce dispositif, on n'a représenté qu'un seul composant électronique 2 et les deux plans condensateurs l'encadrant dans l'empilement alterné formant le bloc 1'. Le composant 2 comporte, sur au moins une de ses faces, à sa périphérie des plots de connexion 25, 26 (seuls ceux correspondant aux plots de masse 25 et de tension d'alimentation 26 sont représentés ici). A titre d'exemple, on a représenté des plots vers toutes les faces latérales 21 à 24 du bloc 1' mais cela n'est pas indispensable et on pourrait n'en prévoir que vers une seule ou plusieurs faces latérales.

Les plans condensateurs qui sont disposés de chaque côté du composant 2 sont constitués chacun d'une feuille mince de matériau diélectrique 10 dont les deux faces supérieure et inférieure sont métallisées. Ces métallisations supérieure 11 et inférieure 12 sont délimitées pour ne pas affleurer les bords du bloc 1' autrement que par des pattes de connexion 110, 120. Après empilage alterné et assemblage par exemple par un matériau isolant et adhésif (non représenté) des divers éléments du bloc 1', les pattes 110, 120 et les plots 25, 26 sont reliés par des conducteurs respectivement 13, 14 sur les faces latérales du bloc 1', les conducteurs 13 étant par exemple connectés à la masse et les conducteurs 14 à la tension d'alimentation.

WO 02/09182

PCT/FR01/02382

6

Bien entendu, entre chaque composant et son voisin, on peut utiliser plusieurs plans condensateurs en parallèle, au lieu d'un seul comme sur la figure 2, de manière à augmenter la capacité.

D'autre part, si deux ou plusieurs niveaux de tension d'alimentation 5 sont nécessaires pour un ou plusieurs composants actifs, on doit là aussi prévoir deux ou plusieurs plans condensateurs pour relier leurs métallisations respectivement à ces diverses tensions par des conducteurs tels 14, différents.

Les feuilles minces 10 peuvent avoir des épaisseurs très faibles de 10 l'ordre de quelques dixièmes de micromètres à quelques micromètres. On peut utiliser comme matériau du polyéthylène téréphtalate, par exemple sous une épaisseur de l'ordre de 2 µm, ou du polyéthylène naphtalate, par exemple avec une épaisseur de l'ordre de 0,9 µm.

Les métallisations 11, 12 sont en aluminium avec une épaisseur par 15 exemple de 0,3 µm, ce qui a l'avantage d'être homogène avec les conducteurs en aluminium souvent utilisés pour les composants actifs.

Comme pour le bloc de la figure 1, on peut prévoir sur le bloc 1' une couche de fermeture inférieure portant les éléments de connexion externe (plots, connexions, avec pattes, BGA, ...) et une couche de fermeture 20 supérieure avec une feuille organique portant par exemple des marquages et détrompages.

Il est clair que l'on peut prévoir de ne métalliser qu'une face de la feuille mince 10, ici la métallisation 11, que l'on relie à la masse ; on obtient ainsi un blindage réparti efficace, sans la fonction condensateur.

25 Un autre avantage de l'invention, illustré par la figure 3, est que l'on peut utiliser une des métallisations d'un plan condensateur pour effectuer un renvoi ou routage de certaines connexions d'un côté à un autre du bloc. Pour cela, on grave (122) dans la métallisation, de préférence la métallisation 12 reliée à une tension d'alimentation, un conducteur de connexion de routage 30 ou liaison 121 reliant un conducteur 131 sur une face latérale du bloc à un conducteur 132 sur une face voisine. Ce conducteur 121 est séparé de la métallisation 12, 123 par des gravures 122 obtenues par tout moyen connu. La portion 123 de métallisation n'est pas utile car non reliée ici. On réalise ces conducteurs de liaison de préférence dans la métallisation 12 reliée à la 35 tension d'alimentation. En effet, on ne perd ainsi qu'une fraction de capacité,

WO 02/09182

PCT/FR01/02382

7

ce qui peut être compensé par un plan condensateur supplémentaire, alors que le blindage par la métallisation 11 à la masse reste intact, ce qui ne serait pas obtenu dans le cas inverse,

Naturellement, avec la même technologie que pour les plans 5 condensateurs, on pourrait rajouter un plan topologique avec une métallisation sur une feuille mince où on découperait différents conducteurs de liaison.

Les dispositifs électroniques du type décrit ci-dessus peuvent être réalisés individuellement par empilage alterné des composants actifs et des 10 plans condensateurs (éventuellement des couches de fermeture) puis assemblage par colle ou résine pour former un bloc, enfin réalisation des conducteurs sur les faces latérales du bloc, ces étapes constituant les étapes essentielles de la réalisation.

Cependant, pour des raisons d'économie, il peut être préférable de 15 réaliser collectivement ces dispositifs. Pour cela, comme illustré sur la figure 4, on prévoit des plans actifs 200 dans lesquels on réalise des composants actifs 2 côte à côte selon un motif géométrique régulier (rectangles ou carrés adjacents). On réalise sur des feuilles minces de matériau diélectrique les métallisations des plans condensateurs selon le même motif géométrique. 20 On empile et assemble en alternance les plans actifs et les feuilles métallisées, éventuellement avec des couches de fermeture telles 41', de manière que les composants et les métallisations se correspondent en vis-à-vis pour définir des lignes de sciage 17 délimitant les blocs individuels 1'. On perce dans l'assemblage des trous 170 perpendiculaires auxdits plans et 25 feuilles, le long des lignes de sciage 17 et à l'aplomb des pattes et plots de connexion de chaque bloc. Ce perçage peut être réalisé par poinçonnage. On métallise les trous 170 puis on scie l'assemblage selon les lignes 17 de façon à obtenir les blocs individuels avec les conducteurs d'interconnexion en trois dimensions réalisés par les demi-trous métallisés comme on peut le 30 voir sur la représentation partielle de la figure 5.

Cette figure montre un demi-trou métallisé 170 dont la métallisation 13' relie la patte 110 de la métallisation 11 d'un plan condensateur (10, 11, 12) au plot de connexion 15 d'un composant actif 2. La couche adhésive 18 assemble le composant 2 au plan condensateur.

WO 02/09182

PCT/FR01/02382

8

Il est clair que ce procédé d'obtention collective n'est réalisable que parce que les épaisseurs des blocs sont faibles et compatibles avec des diamètres de trou non prohibitifs, pour obtenir une métallisation correcte.

Un mode de réalisation particulièrement avantageux peut consister à 5 percer des trous oblongs dont le grand axe suit les lignes de sciage, au lieu de trous circulaires. Cela a l'avantage de moins empiéter sur la zone utile des composants actifs et sur les métallisations et d'augmenter les tolérances d'alignement.

Bien entendu, l'invention peut s'appliquer à tout type de composant ; 10 elle est particulièrement intéressante pour la réalisation de blocs mémoires avec des plans mémoires très minces.

WO 02/09182

PCT/FR01/02382

9

## REVENDICATIONS

1. Procédé de blindage et/ou de découplage répartis pour un dispositif électronique à composants électroniques intégrés dans lequel lesdits composants comportant à leur périphérie des plots de connexion sont empilés et assemblés pour constituer un bloc (1) à interconnexion en trois dimensions, caractérisé en ce que l'edit procédé consiste à intercaler entre chaque composant (2) et le composant adjacent au moins un plan séparateur (10, 11, 12) constitué d'une feuille mince en matériau diélectrique (10) dont au moins une face porte une métallisation (11, 12), ladite métallisation étant reliée à la masse, pour assurer le blindage du ou des composants adjacents.
- 15 2. Procédé selon la revendication 1, caractérisé en ce que chaque face des plans séparateurs est métallisée pour constituer des plans condensateurs, lesdites métallisations (11, 12) d'un plan étant respectivement reliées à la masse et à la tension d'alimentation d'au moins un des composants adjacents
- 20 3. Procédé selon la revendication 1 ou 2, caractérisé en ce que l'on connecte les métallisations (11, 12) et les plots de connexions (25, 26) par des conducteurs (13, 14) disposés sur au moins une des faces latérales (21 à 24) du bloc.
- 25 4. Procédé selon l'une des revendications 1 à 3, caractérisé en ce que les métallisations (11, 12) des plans sont délimitées pour n'affleurer le bord du bloc que par des pattes de connexion (110, 120) disposées vers au moins une des faces du bloc, lesdits conducteurs (13, 14) étant disposés pour relier lesdites pattes et les plots de connexion correspondants des composants.
- 30 5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que l'on associe à chaque composant au moins un plan séparateur ou condensateur adjacent à celui-ci.

WO 02/09182

PCT/FR01/02382

10

6. Procédé selon l'une quelconque des revendications 2 à 5, caractérisé en ce que, pour renvoyer une connexion (131, 132) d'une face du bloc à une autre, on découpe (122) un conducteur de liaison (121) dans au moins une métallisation (12) de plan condensateur reliée à une tension d'alimentation.

7. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que, dans l'empilement constituant le bloc, on rajoute au moins une feuille mince en matériau diélectrique ayant au moins une face métallisée pour constituer un plan topologique pour le routage de connexions entre les diverses faces latérales du bloc.

8. Dispositif électronique à composants électroniques intégrés à blindage et/ou découplage répartis, dans lequel lesdits composants comportant à leur périphérie des plots de connexion sont empilés et assemblés pour constituer un bloc à interconnexion en trois dimensions, caractérisé en ce que ledit dispositif comprend un empilage alterné de composants électroniques intégrés (2) et de plans séparateurs pour former ledit bloc (1'), chaque plan comportant une feuille mince en matériau diélectrique (10) métallisée (11, 12) sur au moins une de ses deux faces et l'empilage comprenant au moins un plan séparateur entre deux composants consécutifs, et en ce que les faces latérales (21 à 24) du bloc (1') comportent des conducteurs (13, 14) disposés sur au moins une des faces pour relier les métallisations (11, 12) des plans séparateurs et les plots de connexion (25, 26) correspondants des composants.

9. Dispositif selon la revendication 8, caractérisé en ce que chaque plan est métallisé sur ses deux faces (11, 12) pour constituer un plan condensateur.

10. Dispositif selon la revendication 9, caractérisé en ce que les métallisations (11, 12) des plans condensateurs sont délimitées pour n'affleurer les faces latérales du bloc que par des pattes de connexion (110,

WO 02/09182

PCT/FR01/02382

11

120) disposées vers au moins une face du bloc et en contact avec lesdits conducteurs (13, 14) associés.

11. Dispositif selon l'une des revendications 8 à 10, caractérisé en 5 ce que, pour chaque plan (10, 11, 12), ladite feuille mince (10) est en polyéthylène téréphtalate ou en polyéthylène naphtalate.

12. Dispositif selon la revendication 11, caractérisé en ce que ladite feuille mince a une épaisseur de quelques dixièmes de micromètre à 10 quelques micromètres.

13. Dispositif selon l'une des revendications 11 ou 12, caractérisé en ce que lesdites métallisations (11, 12) des plans sont en aluminium et ont une épaisseur de quelques dixièmes de micromètre.

15 14. Dispositif selon l'une quelconque des revendications 8 à 13, caractérisé en ce que lesdits composants électroniques intégrés (2) sont des plans mémoires.

20 15. Dispositif selon l'une quelconque des revendications 8 à 13, caractérisé en ce que lesdits composants sont constitués par des puces de circuit intégré nues.

25 16. Dispositif selon l'une quelconque des revendications 8 à 13, caractérisé en ce que lesdits composants sont constitués par des boîtiers encapsulant des puces de circuit intégré.

30 17. Dispositif selon l'une quelconque des revendications 8 à 16, caractérisé en ce que les différents plans séparateurs et/ou condensateurs et composants d'un bloc (1') sont assemblés par une colle ou résine.

35 18. Dispositif selon l'une quelconque des revendications 8 à 17, caractérisé en ce que ledit bloc comporte en outre, de part et d'autre de l'empilement, une couche de fermeture en matériau diélectrique.

35

WO 02/09182

PCT/FR01/02382

12

19. Procédé d'obtention collective de dispositifs électroniques selon l'une quelconque des revendications 8 à 18, caractérisé en ce que ledit procédé consiste à :

- réaliser lesdits composants côté à côté selon un motif géométrique régulier dans des plans actifs (200) ;
- réaliser sur des feuilles minces de matériau diélectrique lesdites métallisations selon le même motif géométrique ;
- empiler et assembler lesdits plans actifs avec lesdites feuilles métallisées de manière alternée, au moins une feuille étant interposée entre chaque plan actif, de sorte que les composants et les métallisations se correspondent pour définir des lignes de sciage (17) délimitant lesdits blocs individuels ;
- percer des trous (170) perpendiculaires auxdits plans et feuilles dans l'assemblage obtenu, le long des lignes de sciage et à l'aplomb desdites pattes (110, 120) et desdits plots de connexion (25, 26) ;
- métalliser lesdits trous ; et
- scier l'assemblage le long des lignes de sciage (17) pour obtenir lesdits blocs dans lesquels les interconnexions en trois dimensions sont constituées par les demi-trous métallisés.

20. Procédé selon la revendication 19, caractérisé en ce que lesdits trous sont réalisés par poinçonnage.

WO 02/09182

PCT/FR01/02382

1/3

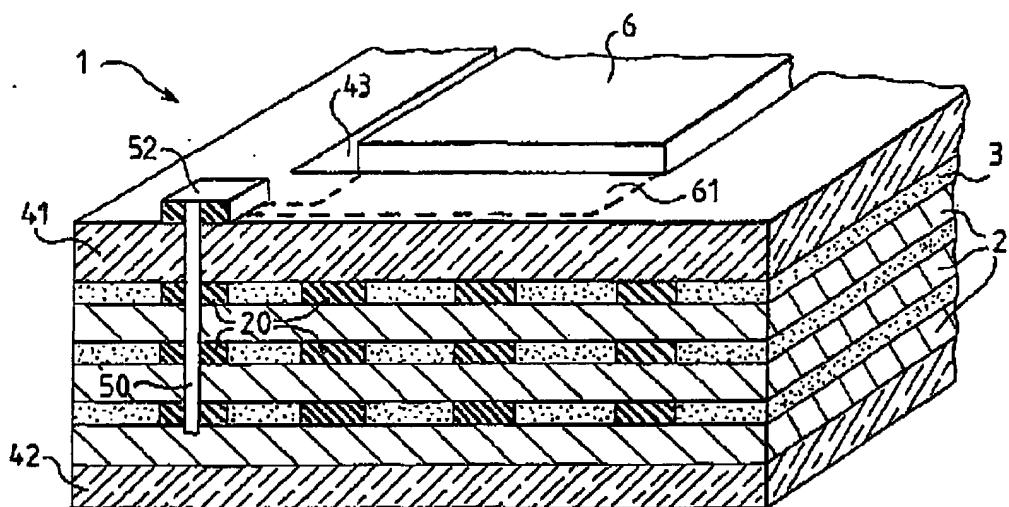


FIG.1

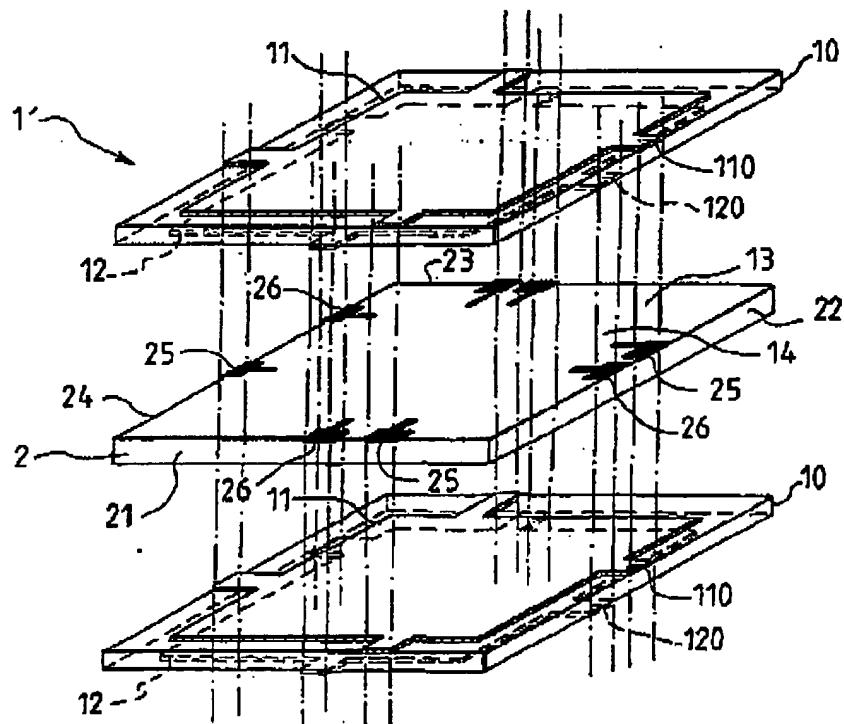


FIG.2

WO 02/09182

PCT/FR01/02382

2/3

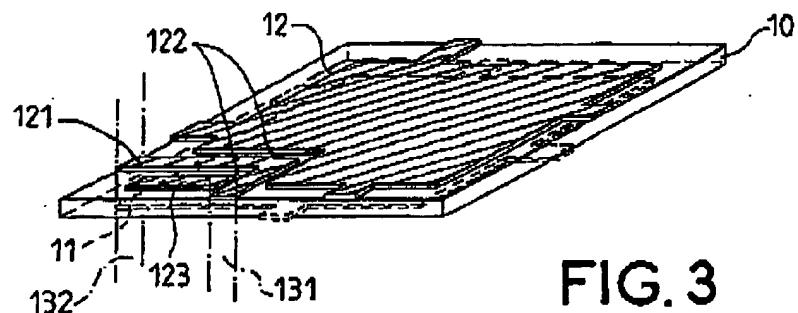
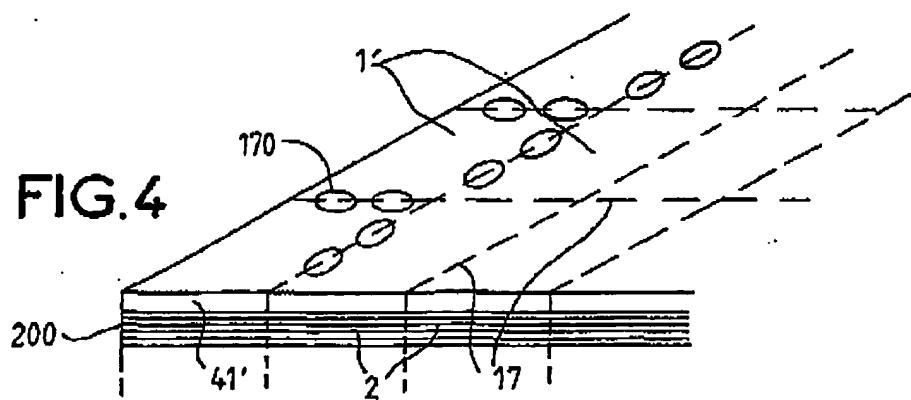


FIG. 3

FIG. 4



WO 02/09182

PCT/FR01/02382

3/3

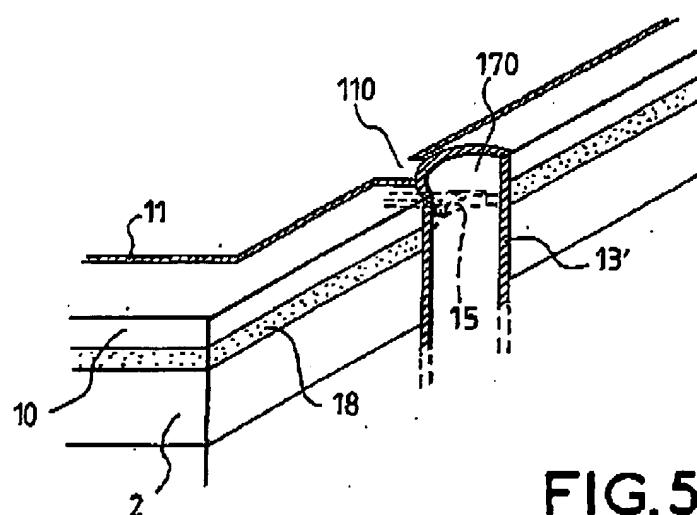


FIG.5

## INTERNATIONAL SEARCH REPORT

In Int'l Application No  
PCT/FR 01/02382

**A. CLASSIFICATION OF SUBJECT MATTER**  
 IPC 7 H01L25/065 H01L23/64

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 864 177 A (SUNDSTROM LANCE L) 26 January 1999 (1999-01-26) the whole document	1-20
X	US 5 397 916 A (NORMINGTON PETER J C) 14 March 1995 (1995-03-14) column 10, line 26 - line 31; figure 7	1-20
Y	US 6 005 778 A (SPIELBERGER RICHARD K ET AL) 21 December 1999 (1999-12-21) the whole document	1-20
Y	FR 2 645 681 A (THOMSON CSF) 12 October 1990 (1990-10-12) cited in the application the whole document	1-20
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the International filing date
- \*L\* document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the International filing date but later than the priority date claimed

- \*T\* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- \*Z\* document member of the same patent family

Date of the actual compilation of the international search

9 October 2001

Date of mailing of the International search report

17/10/2001

Name and mailing address of the ISA

European Patent Office, P.B. 6016 Patentbox 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Fax. 31 851 600 61,  
Fax: (+31-70) 340-3018

Authorized officer

Munnix, S

Form PCT/IBA/210 (Second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Int'l Application No PCT/FR 01/02382
C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 776 797 A (FRINAK STEVEN L ET AL) 7 July 1998 (1998-07-07) abstract; figure 3	1-20

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

,information on patent family members

Int'l Application No  
PCT/FR D1/02382

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5864177	A 26-01-1999	NONE		
US 5397916	A 14-03-1995	US	5281852 A	25-01-1994
US 6005778	A 21-12-1999	NONE		
FR 2645681	A 12-10-1990	FR	2645681 A1	12-10-1990
US 5776797	A 07-07-1998	US	5646446 A	08-07-1997

RAPPORT DE RECHERCHE INTERNATIONALE		De : Internationale No : PCT/FR 01/02382
A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 7 H01L25/065 H01L23/64		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7 H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Bases de données électroniques consultées au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		
Catégories	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 864 177 A (SUNDSTROM LANCE L) 26 janvier 1999 (1999-01-26) le document en entier	1-20
X	US 5 397 916 A (NORMINGTON PETER J C) 14 mars 1995 (1995-03-14) colonne 10, ligne 26 - ligne 31; figure 7	1-20
↓	US 6 005 778 A (SPIELBERGER RICHARD K ET AL) 21 décembre 1999 (1999-12-21) le document en entier	1-20
↓	FR 2 645 681 A (THOMSON CSF) 12 octobre 1990 (1990-10-12) cité dans la demande le document en entier	1-20
		-/-
<input checked="" type="checkbox"/> Voir le site du cadre C pour la fin de la liste des documents		<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe
*Catégories spéciales de documents cités:		
<ul style="list-style-type: none"> <li>*A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent</li> <li>*B* document antérieur, mais publié à la date de dépôt international ou après cette date</li> <li>*C* document pouvant faire un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (elle qu'indiquée)</li> <li>*D* document se référant à une divulguaison orale, à un usage, à une exposition ou tous autres moyens</li> <li>*P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</li> </ul>		
<ul style="list-style-type: none"> <li>*T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou l'ordre constitutif de l'invention</li> <li>*X* document particulièrement pertinent; l'invention (ou revendication) ne peut être considérée comme actuelle ou comme impliquant une activité inventive par rapport au document considéré isolément</li> <li>*Y* document particulièrement pertinent; l'invention (ou revendication) ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</li> <li>*Z* document qui fait partie de la même famille de brevets</li> </ul>		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
9 octobre 2001	17/10/2001	
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.O. 5818 Patenten 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 epo nl, Fax. (+31-70) 340-3016		Fonctionnaire autorisé  Munnix, S

**RAPPORT DE RECHERCHE INTERNATIONALE**

D. Internationale No  
PCT/FR 01/02382

**C (suite) DOCUMENTS CONSIDERES COMME PERTINENTS**

Category	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 776 797 A (FRINAK STEVEN L ET AL) 7 juillet 1998 (1998-07-07) abrégé; figure 3	1-20

## RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De la Internationale No  
PCT/FR 01/02382

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 5864177 A	26-01-1999	AUCUN		
US 5397916 A	14-03-1995	US 5281852 A		25-01-1994
US 6005778 A	21-12-1999	AUCUN		
FR 2645681 A	12-10-1990	FR 2645681 A1		12-10-1990
US 5776797 A	07-07-1998	US 5646446 A		08-07-1997

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**